

Docket No.: IPS-0016

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Sun Kyu KWON :  
New U.S. Application : Group Art Unit: Unassigned  
Confirm. No.: Unassigned : Examiner: Unassigned  
Filed: December 4, 2003 : Customer No.: 34610  
For: APPARATUS AND METHOD FOR OUTPUTTING VIDEO DATA

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

Korean Application No. 10-2002-77198 filed on December 6, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186

P.O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440 DYK/cre  
Date: **December 4, 2003**

**Please direct all correspondence to Customer Number 34610**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0077198  
Application Number

출원 년 월 일 : 2002년 12월 06일  
Date of Application DEC 06, 2002

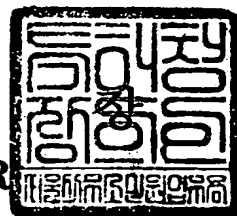
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 03 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 06
【발명의 명칭】	디지털 비디오 데이터 출력 장치 및 방법
【발명의 영문명칭】	DIGITAL VIDEO DATA OUTPUTTING APPARATUS AND METHOD
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	이지연
【대리인코드】	9-1999-000223-9
【포괄위임등록번호】	2002-027471-6
【발명자】	
【성명의 국문표기】	권순규
【성명의 영문표기】	KWON, Sun Kyu
【주민등록번호】	750820-1722115
【우편번호】	760-821
【주소】	경상북도 안동시 서후면 이송천리 34-2
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이지연 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 디스플레이 장치의 디지털 비디오 데이터 출력 장치는, 다양한 형태의 아날로그 비디오 신호를 각각 디지털 비디오 데이터들로 변환하는 데이터 변환부들과, 상기 데이터 변환부들의 출력들을 제공받아 어느 하나를 선택적으로 출력하는 출력신호 선택기와, 상기 출력신호 선택기의 출력을 DVI 인코딩한 후에 외부로 출력하는 인코딩부로 구성됨을 특징으로 한다.

**【대표도】**

도 6

**【색인어】**

DVI, 아날로그 비디오 신호

**【명세서】**

**【발명의 명칭】**

디지털 비디오 데이터 출력 장치 및 방법{DIGITAL VIDEO DATA OUTPUTTING APPARATUS AND METHOD}

**【도면의 간단한 설명】**

도 1은 종래의 디지털 비디오 데이터 송수신 장치의 구성도.

도 2는 종래의 TMDS 방식의 송수신장치의 구성도.

도 3은 DVI-D 커넥터의 핀 배열도.

도 4는 DVI-I 커넥터의 핀 배열도.

도 5는 종래의 디지털 비디오 데이터 처리장치의 구성도.

도 6은 본 발명의 디지털 비디오 데이터 처리장치의 구성도.

도 7은 도 6의 출력신호 선택기의 상세구성도.

**\* 도면의 주요부분에 대한 부호의 설명 \***

400 : 비디오 디코더    402 : 컴포넌트 프로세서

404 : 제1멀티플렉서    406 : 제1CSC

408 : 제2CSC    410 : 제1AD 변환기

412 : 제2AD 변환기    414 : DVI 디코더

416 : 스위칭부    418 : 신호감지기

420 : 제2멀티플렉서    422 : 스케일러

424 : DA 변환기    426 : 출력신호 선택기

428 : DVI 인코더    430 : 마이크로 프로세서

I : 인버터    A1 ~ A6 : 제1 내지 제6앤드게이드

B1 ~ B5 : 제1 내지 제5버퍼 D : 디코더

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19>        본 발명은 디스플레이 장치에 관한 것으로, 특히 디지털 비디오 데이터 출력장치 및 방법에 관한 것이다.

<20>        종래의 디지털 비디오 데이터 송수신 장치의 구성도를 도시한 도 1을 참조하면, 송신부(100)는 비디오 프로세서(102)와 DA 변환기(104)로 구성되며, 수신부(106)는 AD 변환기(108)와 비디오 프로세서(110)로 구성된다.

<21>        상기 송신부(100)의 비디오 프로세서(102)로부터 출력되는 디지털 비디오 데이터는 DA 변환기(104)를 거쳐 아날로그 비디오 신호로 변환되며, 이 아날로그 비디오 신호는 D-sub 케이블 등을 통해 수신부(106)로 송신된다. 상기 수신부(106)의 AD 변환기(108)는 상기 D-sub 케이블 등을 통해 수신되는 아날로그 비디오 신호를 DA 변환하여 디지털 비디오 데이터로 복원하며, 그 디지털 비디오 데이터는 비디오 프로세서(110)로 입력된다. 상기 비디오 프로세서(110)는 상기 복원된 디지털 비디오 데이터를 디스플레이에 적당한 형태로 변환하여 출력한다. 여기서, 상기 D-sub 케이블을 통해 송신되는 아날로그 비디오 신호는 R, G, B, 수평 및 수직 동기신호이다.

- <22>      상기한 종래기술에 따르면, 디지털 비디오 데이터를 송수신하기 위해서는 디지털 비디오 데이터를 AD 및 DA 변환하여야 하며, 이 과정을 거치면서 디지털 비디오 데이터가 손상되었다. 특히 AD 변환시 양자화 비트수에 따라 심각한 데이터의 손상이 야기되었다.
- <23>      이러한 문제점을 해소하고자 DDWG(Digital Display Working Group)는 디지털 비디오 데이터를 디지털로 송신하는 디지털 인터페이스 방식에 대한 규정을 제창하였다. 상기 DDWG가 제창한 디지털 인터페이스 방식인 DVI(Digital Visual Interface) 방식은 송신측에서 입력 데이터와 여러 제어신호를 인코딩하여 전용 커넥터를 통해 송신하고, 수신측에서 상기 인코딩된 데이터를 디코딩하는 방식이다. 상기한 DVI 방식으로는 TMDS(Transition Minimized Differential Signaling), LVDS(Low Voltage Differential Signaling), GVIF(Gigabit Video Interface) 등이 있다.
- <24>      상기 DVI 방식중 하나인 TMDS 방식의 송수신 장치의 구성도를 도시한 도 2를 참조하면, 송신부(200)로 입력되는 데이터는 제1디지털 비디오 데이터(B), 제2디지털 비디오 데이터(G), 제3디지털 비디오 데이터(R), 수평 및 수직동기신호, 제어 데이터인 제1 내지 제4제어데이터, DE와 클럭이다. 상기 송신부(200)의 제1인코더(202)는 제1디지털 비디오 데이터(B)와 수평 및 수직동기신호, DE를 입력받아 인코딩한 후에 직렬데이터로 변환하여 TMDS 링크의 제1채널을 통해 송신한다. 그리고 상기 송신부(200)의 제2인코더(204)는 제2디지털 비디오 데이터(G)와 제1 및 제2제어데이터, DE를 입력받아 인코딩한 후에 직렬데이터로 변환하여 TMDS 링크의 제2채널을 통해 송신한다. 그리고 상기 송신부(200)의 제3인코더(206)는 제3디지털 비디오 데이터(R)와 제3 및 제4제어데이터, DE를

입력받아 인코딩한 후에 직렬데이터로 변환하여 TMDS 링크의 제3채널을 통해 송신한다.  
그리고 상기 클럭은 TMDS 링크의 제4채널을 통해 그대로 송신된다.

<25> 수신부(208)의 제1디코더(210)는 TMDS 링크의 제1채널을 통해 입력되는 신호를 수신하여 병렬데이터로 변환한후에 디코딩하여 제1디지털 비디오 데이터(B)와 수평 및 수직동기신호, DE0을 출력한다. 그리고 제2디코더(212)는 TMDS 링크의 제2채널을 통해 입력되는 신호를 수신하여 병렬데이터로 변환한후에 디코딩하여 제2디지털 비디오 데이터(G)와 제1 및 제2제어 데이터, DE1을 출력한다. 그리고 제3디코더(214)는 TMDS 링크의 제3채널을 통해 입력되는 신호를 수신하여 병렬데이터로 변환한후에 디코딩하여 제3디지털 비디오 데이터(R)와 제3 및 제4제어 데이터, DE2를 출력한다.

<26> 상기 제1 내지 제3디코더(210 내지 214)의 출력 데이터와 TMDS 링크의 제4채널을 통해 수신되는 클럭은 채널간 정렬부(216)에 입력된다. 상기 채널간 정렬부(216)는 입력되는 다양한 데이터 및 클럭을 정렬하여 입력된 포맷과 동일하게 출력한다.

<27> 상기한 DVI 방식의 커넥터로는 디지털 비디오 데이터만 송수신할 수 있는 DVI-D 타입과 디지털 비디오 데이터 및 아날로그 비디오 신호를 송수신할 수 있는 DVI-I 타입이 있다.

<28> 상기 DVI-D 타입의 커넥터의 핀 배열도를 도시한 도 3을 참조하면, 상기 DVI-D 타입의 커넥터에는 디지털 비디오 데이터를 송신하기 위한 핀이 12개 구비되고, 클럭 송신을 위한 핀이 2개 구비되며, DDC를 위한 핀이 4개 구비된다.

<29> 그리고 상기 DVI-I 타입의 커넥터의 핀 배열도를 도시한 도 4를 참조하면, 상기 DVI-I 타입의 커넥터에는 디지털 비디오 데이터를 송신하기 위한 핀이 12개 구비되고,



클럭 송신을 위한 핀이 2개 구비되며, DDC를 위한 핀이 4개 구비되고, 아날로그 비디오 신호를 송신하기 위한 R,G,B 핀과 수평 및 수직동기신호를 송신하기 위한 핀들이 각각 구비된다.

<30> 이제 상기한 DVI 방식으로 입력되는 디지털 비디오 데이터를 처리하는 종래의 디스플레이 장치의 디지털 비디오 데이터 처리장치를 도 5를 참조하여 설명한다.

<31> 상기 디지털 비디오 데이터 처리장치의 비디오 디코더(300)는 TV 신호를 입력받아 디코딩하여 제1멀티플렉서(304)에 제공하고, 컴포넌트 프로세서(302)는 DVD 신호를 입력받아 처리하여 제1멀티플렉서(304)에 제공한다. 상기 제1멀티플렉서(304)는 미도시된 마이크로 프로세서의 제어에 따라 상기 비디오 디코더(300) 및 컴포넌트 프로세서(302)의 출력 중 어느 하나를 스케일러(318)에 제공한다.

<32> 그리고, 제1AD 변환기(306)는 아날로그 RGB 신호를 입력받아 AD 변환하여 제2멀티플렉서(316)에 제공하고, 제2AD 변환기(308)는 DVI 커넥터를 통해 입력되는 아날로그 RGB 신호를 AD 변환하고, DVI 디코더(310)는 DVI 커넥터를 통해 입력되는 DVI 비디오 데이터를 디코딩한다. 여기서 상기 DVI 디코더(310)가 출력하는 데이터는 8:8:8 RGB 디지털 비디오 데이터이다. 그리고 신호검출부(312)는 DVI 커넥터의 아날로그 RGB 신호 입력단자와 DVI 비디오 데이터 입력단자의 신호유무를 검출하고, 그 검출결과에 따른 선택신호를 생성한다. 스위칭부(314)는 상기 선택신호에 따라 상기 제2AD 변환기(308) 및 DVI 디코더(310)의 출력중 어느 하나를 선택하여 제2멀티플렉서(316)에 제공한다. 상기 제2멀티플렉서(316)는 미도시된 마이크로 프로세서의 제어에 따라 상기 제1AD 변환기(306) 및 스위칭부(314)의 출력중 어느 하나를 스케일러(318)에 제공한다.

<33>      상기 스케일러(318)는 상기 제1 및 제2멀티플렉서(304,316)가 제공하는 디지털 비디오 데이터를 스케일링하여 DA 변환기(320)에 제공한다. 상기 DA 변환기(320)는 상기 스케일러(318)가 출력하는 디지털 비디오 데이터를 DA 변환하여 비디오 신호로서 출력한다.

<34>      그런데 일반화적으로 상용되는 디스플레이 장치중에는 공간적인 제약이나 사용상의 제약으로 인해 아날로그 비디오 신호인 TV 신호, DVD 신호 등을 입력받을 수 없는 디스플레이 장치가 존재하였다.

<35>      이에따라 종래에는 디지털 비디오 데이터만 처리할 수 있는 디스플레이 장치를 위한 디지털 디지털 비디오 데이터 출력 방법의 개발이 요망되었다.

#### 【발명이 이루고자 하는 기술적 과제】

<36>      따라서 본 발명의 목적은 아날로그 비디오 신호를 입력받아 디지털 비디오 데이터로 변환하여 출력함으로써 디지털 비디오 데이터만 처리할 수 있는 디스플레이 장치도 아날로그 비디오 신호에 따른 영상을 출력할 수 있게 하는 디스플레이 장치의 디지털 비디오 데이터 출력장치 및 방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<37>      상기한 목적을 달성하기 위한 본 발명의 디스플레이 장치의 디지털 비디오 데이터 출력 장치는, 다양한 형태의 아날로그 비디오 신호를 각각 디지털 비디오 데이터들로 변환하는 데이터 변환부들과, 상기 데이터 변환부들의 출력들을 제공받아 어느 하나를 선택적으로 출력하는 출력신호 선택기와, 상기 출력신호 선택기의 출력을 DVI 인코딩한 후에 외부로 출력하는 인코딩부로 구성됨을 특징으로 한다.

- <38> 본 발명의 디스플레이 장치는 아날로그 비디오 신호를 입력받아 DVI 비디오 데이터로 변환하여 다른 디스플레이 장치로 출력함으로써, 아날로그 비디오 신호를 처리할 수 없는 디스플레이 장치도 아날로그 비디오 신호에 따른 영상을 출력할 수 있게 한다.
- <39> 이러한 본 발명의 바람직한 실시예에 따른 디스플레이 장치의 디지털 비디오 데이터 처리장치의 구성도를 도시한 도 6을 참조하여 설명한다.
- <40> 상기 디지털 비디오 데이터 처리장치에는 아날로그 비디오 신호인 TV 신호, DVD 신호, 아날로그 RGB 신호가 입력되고, DVI-I 커넥터를 통해 아날로그 RGB 신호와 DVI 비디오 데이터가 입력된다.
- <41> 비디오 디코더(400)는 상기 TV 신호를 제공받아 휘도 성분과 색 성분이 분리된 YIQ 또는 YUV 데이터와 수직 및 수평 동기 신호로 변환한후에 색좌표 변환하여 YCbCr 데이터로 출력한다. 상기 비디오 디코더(400)의 출력은 제1멀티플렉서(404) 및 제1CSC(406)에 입력된다. 상기 제1CSC(406)는 상기 비디오 디코더(400)의 출력을 색좌표 변환하여 제1디지털 RGB 데이터로서 출력신호 선택기(426)에 제공한다. 컴포넌트 프로세서(402)는 DVD 신호를 처리하여 YCbCr 데이터와 동기신호로 변환하여 출력한다. 상기 컴포넌트 프로세서(402)의 출력은 제1멀티플렉서(404)와 제2CSC(408)에 입력된다. 상기 제2CSC(408)는 상기 컴포넌트 프로세서(402)의 출력을 색좌표 변환하여 제2디지털 RGB 데이터로서 출력신호 선택기(426)에 제공한다.
- <42> 제1AD 변환기(410)는 D-sub 커넥터를 통해 입력되는 아날로그 RGB 신호를 AD 변환하여 제3디지털 RGB 데이터로 출력한다. 상기 제3디지털 RGB 데이터는 제2멀티플렉서(420) 및 출력신호 선택기(426)에 입력된다. 제2AD 변환기(412)는 DVI-I 커넥터를 통해 입력되는 아날로그 RGB 신호를 AD 변환하여 제4디지털 RGB 데이터로 출력한다. 상기 제4

디지털 RGB 데이터는 스위칭부(416) 및 출력신호 선택기(426)에 입력된다. DVI 디코더(414)는 DVI-I 커넥터를 통해 입력되는 DVI 비디오 데이터를 디코딩하여 제5디지털 RGB 데이터로 출력한다. 상기 제5디지털 RGB 데이터는 스위칭부(416) 및 출력신호 선택기(426)에 입력된다.

<43> 신호감지기(418)는 DVI-I 커넥터의 아날로그 RGB 신호 입력단자와 DVI 비디오 데이터 입출력단자에 풀-업(PULL-UP) 저항을 연결하여, 아날로그 RGB 신호 입력단자에 신호가 존재하면 "0"의 신호를 출력하고, DVI 비디오 데이터 입출력단자에 신호가 존재하면 "1"의 신호를 출력한다. 상기 신호감지기(418)의 출력을 편이상 제1선택신호라 칭하며, 상기 제1선택신호는 스위칭부(416) 및 출력신호 선택기(426)에 입력된다. 상기 스위칭부(416)는 상기 제1선택신호에 따라 제2AD 변환기(412) 및 DVI 디코더(414)의 출력 중 어느 하나를 선택하여 제2멀티플렉서(420)에 제공한다.

<44> 상기 제1멀티플렉서(404)는 마이크로 프로세서(430)의 제어에 따라 비디오 디코더(400) 및 컴포넌트 프로세서(402)의 출력중 어느 하나 또는 하나 이상을 스케일러(422)에 제공한다. 그리고 제2멀티플렉서(420)는 마이크로 프로세서(430)의 제어에 따라 제1AD 변환기(410) 및 스위칭부(416)의 출력중 어느 하나 또는 하나 이상을 스케일러(422)로 제공한다.

<45> 상기 스케일러(422)는 제1멀티플렉서(404)의 출력을 비디오 입력단자를 통해 입력받고, 제2멀티플렉서(420)의 출력을 그래픽 입력단자를 통해 입력받는다. 상기 스케일러(422)의 두 입력단자의 유효 여부는 해당 디스플레이 장치가 다중 모드 출력형인지에 따른다.

- <46>      상기 스케일러(422)는 마이크로 프로세서(430)의 제어에 따라 입력된 디지털 비디오 데이터들에 대해 "확대", "축소", "반전", "키스톤", "밝게", "어둡게" 처리를 행하며, 그 처리결과를 DA 변환기(424)에 제공한다. 상기 DA 변환기(424)는 상기 스케일러(422)의 출력을 DA 변환하여 출력한다.
- <47>      상기 출력 신호 선택기(426)는 상기 제1선택신호와 마이크로 프로세서(430)의 제2선택신호, 사용자 출력 인에이블 신호를 조합하여 상기 제1 내지 제5디지털 RGB 데이터 중 어느 하나를 선택하여 DVI 인코더(428)에 제공한다. 상기 DVI 인코더(428)는 상기 출력신호 선택기(426)가 출력하는 디지털 RGB 데이터를 인코딩하여 DVI 비디오 데이터로 변환한후에 DVI 비디오 데이터 입출력단자를 통해 외부로 출력한다.
- <48>      상기 출력 신호 선택기(426)의 구성 및 동작을 도 7을 참조하여 좀더 상세히 설명한다.
- <49>      제1선택신호는 상기 출력 신호 선택기(426)의 인버터(I)에 의해 반전되어 제1앤드게이트(A1)에 입력된다. 상기 제1앤드게이트(A1)는 반전된 제1선택신호와 사용자 출력 인에이블 신호를 앤드게이트함으로써, DVI 비디오 데이터 입출력단자에 신호가 없는 상태에서 사용자가 DVI 비디오 데이터 입출력단자로 DVI 비디오 데이터를 출력하도록 명령한 경우에 1이고, 그 외의 경우에는 0인 출력을 발생한다. 상기 제1앤드게이트(A1)의 출력은 제2 내지 제6앤드게이트(A2~A6)에 입력된다.
- <50>      디코더(D)는 마이크로 프로세서(430)가 제공하는 제2선택신호를 디코딩한후 제2 내지 제6앤드게이트(A2~A6)에 각각 대응되는 출력들은 발생하며, 상기 출력들은 각각 제1 내지 제5버퍼(B1~B5)를 인에이블하기 위한 것이다.

<51>       상기 제2 내지 제6앤드게이트(A2~A6)의 출력단자는 각각 제1 내지 제5버퍼(B1~B5)의 인에이블단자와 연결된다. 이러한 제2 내지 제6앤드게이트(A2~A6)는 상기 디코더(D)의 출력들중 하나씩을 제공받음과 동시에 상기 제1앤드게이트(A1)의 출력을 제공받아, 두 신호가 동시에 "1"인 경우에 해당되는 버퍼를 인에이블시킨다.

<52>       상기 제1 내지 제5버퍼(B1~B5)는 각각 제1 내지 제N디지털 RGB 데이터를 제공받으며, 인에이블될 경우에만 제공받은 디지털 RGB 데이터를 버퍼링하여 출력한다.

**【발명의 효과】**

<53>       상술한 바와 같이 본 발명은 아날로그 비디오 신호를 입력받아 디지털 비디오 데이터로 변환하여 출력함으로써 디지털 비디오 데이터만 처리할 수 있는 디스플레이 장치도 아날로그 비디오 신호에 따른 영상을 출력하거나 다중 출력할 수 있게 하는 이점이 있다.

**【특허청구범위】****【청구항 1】**

디스플레이 장치의 디지털 비디오 데이터 출력 장치에 있어서,  
다양한 형태의 아날로그 비디오 신호를 각각 디지털 비디오 데이터들로 변환하는  
데이터 변환부들과,  
상기 데이터 변환부들의 출력들을 제공받아 어느 하나를 선택적으로 출력하는 출력  
신호 선택기와,  
상기 출력신호 선택기의 출력을 DVI 인코딩한 후에 외부로 출력하는 인코딩부로 구  
성됨을 특징으로 하는 디지털 비디오 데이터 출력장치.

**【청구항 2】**

제1항에 있어서, 상기 데이터 변환부들 중 어느 하나는,  
TV 신호를 입력받아 디코딩하는 비디오 디코더와,  
상기 비디오 디코더의 출력을 디지털 RGB 데이터로 변환하여 상기 출력신호 선택기  
에 제공하는 색좌표 변환부로 구성됨을 특징으로 하는 비디오데이터 출력장치.

**【청구항 3】**

제1항에 있어서, 상기 데이터 변환부들 중 어느 하나는,  
DVD 신호를 입력받아 처리하는 컴포넌트 프로세서와,  
상기 컴포넌트 프로세서의 출력을 디지털 RGB 데이터로 변환하여 상기 출력신호 선  
택기에 제공하는 색좌표 변환부로 구성됨을 특징으로 하는 비디오데이터 출력장치.

**【청구항 4】**

제1항에 있어서, 상기 데이터 변환부들 중 어느 하나는,  
아날로그 RGB 신호를 입력받아 디지털 RGB 데이터로 변환하는 AD 변환기로 구성됨  
을 특징으로 하는 디지털 비디오 데이터 출력장치.

**【청구항 5】**

제1항에 있어서,  
상기 다양한 형태의 아날로그 비디오 신호 및 디지털 비디오 데이터로부터 복원한  
디지털 비디오 데이터를 디스플레이 소자에 제공하기 위하여 스케일링함과 아울러, 그  
스케일링된 디지털 비디오 데이터를 상기 출력신호 선택기에 제공하는 스케일러를 더 구  
비함을 특징으로 하는 디지털 비디오 데이터 출력장치.

**【청구항 6】**

디스플레이 장치의 디지털 비디오 데이터 출력 방법에 있어서,  
상기 디스플레이 장치로 입력된 아날로그 비디오 신호를 디지털 비디오 데이터로  
변환하는 단계와,  
상기 디지털 비디오 데이터를 DVI 인코딩하는 단계와,  
상기 DVI 인코딩된 디지털 비디오 데이터를 외부로 출력하는 단계를 구비하는 것을  
특징으로 하는 디지털 비디오 데이터 출력장치.

**【청구항 7】**

제6항에 있어서,



상기 디스플레이 장치를 통해 출력되는 디지털 비디오 데이터를 DVI 인코딩하는 단계와,

상기 DVI 인코딩된 디지털 비디오 데이터를 외부로 출력하는 단계를 더 구비하는 것을 특징으로 하는 디지털 비디오 데이터 출력장치.

【도 1】

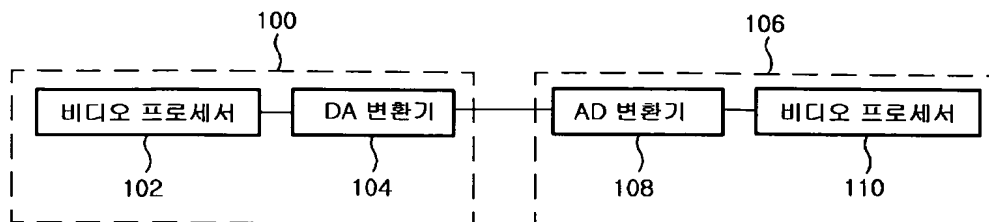


Figure 1 is a block diagram illustrating the structure of a Reed-Solomon (RS) encoder and decoder. The diagram is divided into two main sections: the RS Encoder (left) and the RS Decoder (right).

**RS Encoder (Left):**

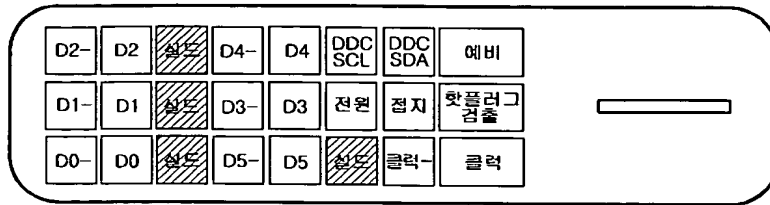
- Input:** Data (D) and Parity (P) are input to the encoder.
- Block 202:** This block receives the data and parity and outputs the codeword (C).
- Block 204:** This block receives the codeword (C) and outputs the data (D) and parity (P).
- Block 206:** This block receives the data and parity and outputs the codeword (C).

**RS Decoder (Right):**

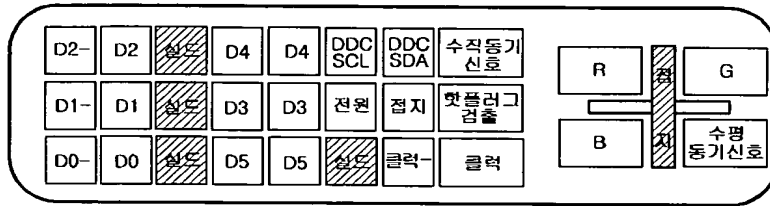
- Input:** Received codeword (R) is input to the decoder.
- Block 210:** This block receives the received codeword (R) and outputs the data (D) and parity (P).
- Block 212:** This block receives the data and parity and outputs the codeword (C).
- Block 214:** This block receives the codeword (C) and outputs the data (D) and parity (P).
- Block 216:** This block receives the data and parity and outputs the codeword (C).

The diagram shows the flow of data and parity through the encoder and decoder, highlighting the role of the Reed-Solomon code in error correction.

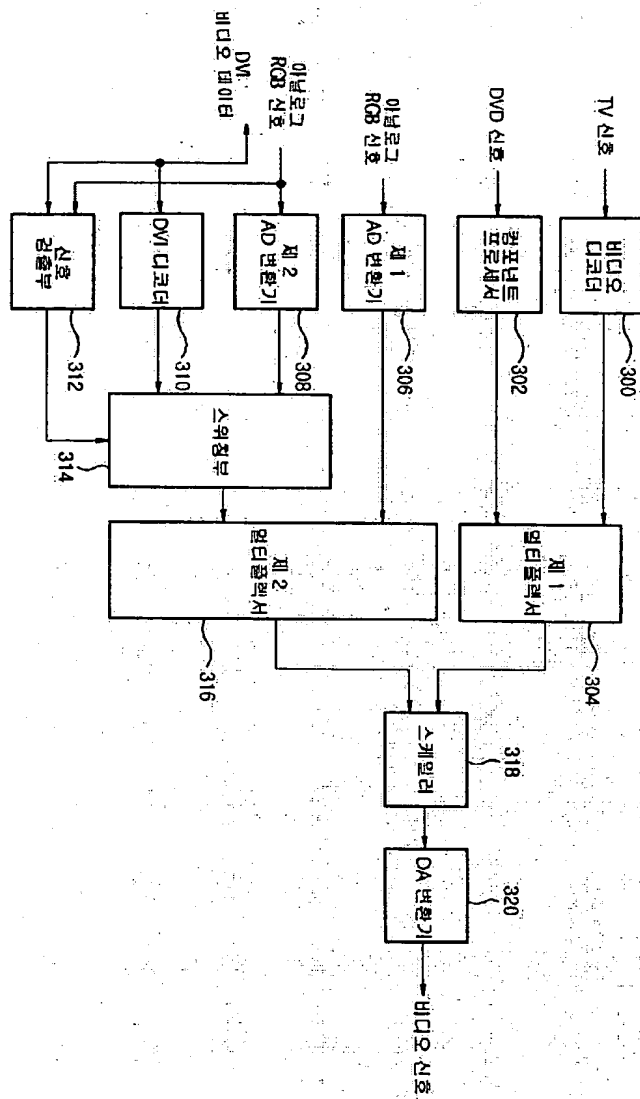
【도 3】



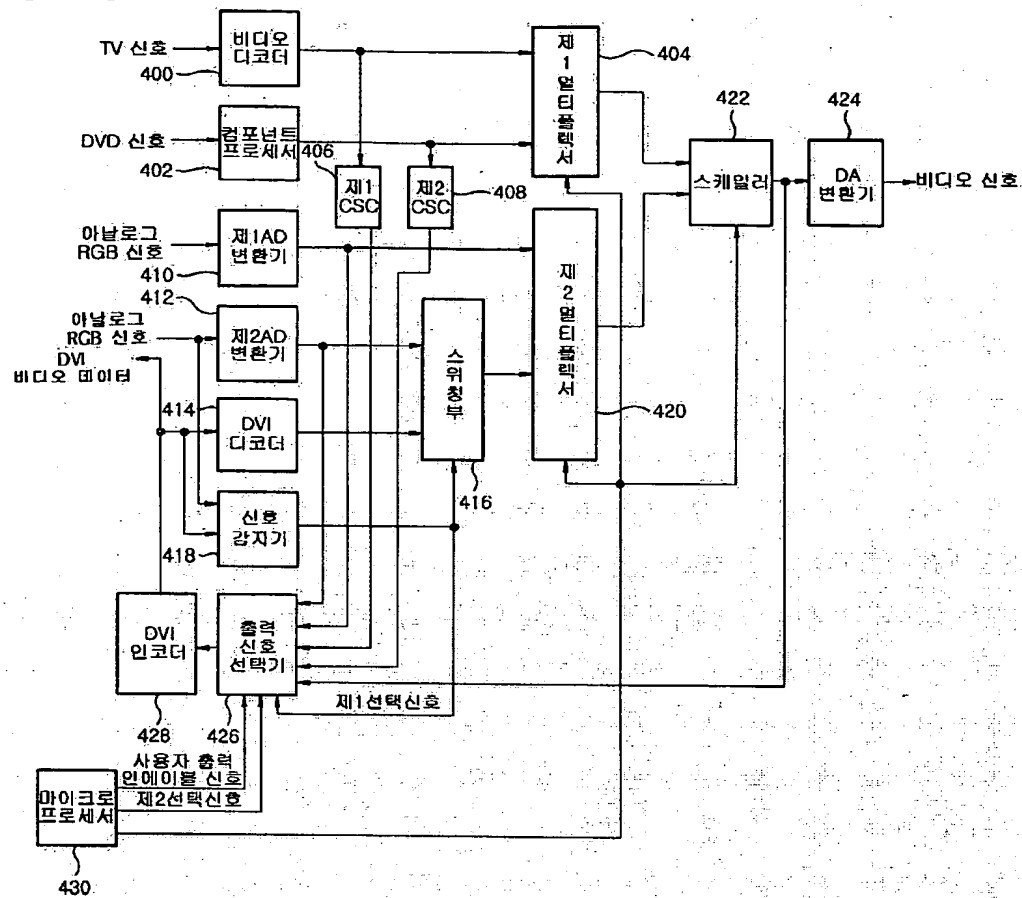
【도 4】



【도 5】



【도 6】



【도 7】

